

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-162847

(43)Date of publication of application : 18.06.1999

(51)Int.Cl.

H01L 21/20
H01L 33/00

(21)Application number : 09-306215

(71)Applicant : HEWLETT PACKARD CO <HP>

(22)Date of filing : 07.11.1997

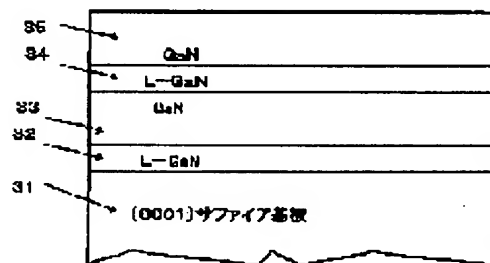
(72)Inventor : AMANO HIROSHI
TAKEUCHI TETSUYA
AKASAKI ISAMU

(54) SEMICONDUCTOR SUBSTRATE AND FORMATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent deterioration of quality accompanying picking of exposure substrate with a low crystal defect density from a growing furnace by allowing a III group nitride semiconductor to grow on a III group nitride semiconductor substrate or different types of substrates made of sapphire, etc., and crystallizing a low-temperature deposition thin film.

SOLUTION: A III group nitride semiconductor substrate or a sapphire substrate 11 is placed on the heating part in an organic metallic compound vapor-phase growth device, and after a nitrogen in the device is displaced with hydrogen, an ammonium and a trimethyl aluminum are supplied to deposit a first low-temperature deposition buffer thin film 32. Next, the thin film 32 is changed to single crystal and a first single crystal GaN thin film 33 is grown thereon, and then a thin film 34 containing Ga and nitrogen is deposited. Further, a GaN thin film is subject to single crystal growth on the thin film 34 so as to form a second single crystal GaN thin film 35. Therefore, an exposure substrate with a low density of crystal defect can be obtained and the deterioration of quality be prevented.



30

LEGAL STATUS

[Date of request for examination]

08.11.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-162847

(43) 公開日 平成11年(1999) 6月18日

(51) Int.Cl.⁸

H 0 1 L 21/20
33/00

識別記号

F I

H 0 1 L 21/20
33/00

C

審査請求 未請求 請求項の数15 O L (全 10 頁)

(21) 出願番号

特願平9-306215

(22) 出願日

平成9年(1997)11月7日

(71) 出願人 398038580

ヒューレット・パカード・カンパニー
HEWLETT-PACKARD COM
PANY
アメリカ合衆国カリフォルニア州パロアル
ト ハノーバー・ストリート 3000

(72) 発明者 天野 浩

愛知県名古屋市名東区山の手2丁目104番

(72) 発明者 竹内 哲也

神奈川県川崎市高津区坂戸3丁目2番2号
ヒューレット・パカードラボラトリー
ズジャパンインク内

(74) 代理人 弁理士 上野 英夫

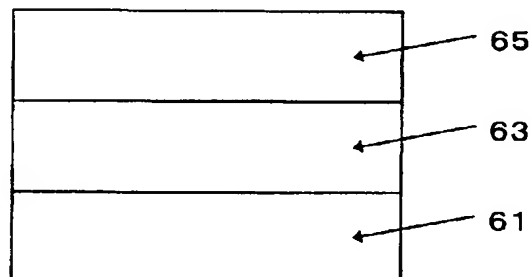
最終頁に続く

(54) 【発明の名称】 半導体基板および半導体基板の形成方法

(57) 【要約】

【課題】 結晶欠陥密度の低いIII族窒化物半導体露出基板の形成。

【解決手段】 III族窒化物半導体単結晶露出基板上に結晶化温度より低い温度でIII族窒化物半導体の薄膜を低温堆積した後、該薄膜を単結晶化し、その上に所望III族窒化物半導体単結晶薄膜を成長させて改良された露出基板を得た。



【特許請求の範囲】

【請求項1】一のIII族窒化物半導体露出基板上に、順次形成される第1、第2のIII族窒化物半導体単結晶薄膜（以下単結晶薄膜と称する）からなる対構造を1つあるいは複数備える基板であって、第1の単結晶薄膜が結晶欠陥密度緩衝薄膜として機能し、第2の単結晶薄膜の結晶欠陥密度が前記一のIII族窒化物半導体露出基板表面に露出するIII族窒化物半導体単結晶の結晶欠陥密度よりかなり低いことを特徴とする半導体基板。

【請求項2】前記第1の単結晶薄膜の厚さが0.2nm以上で800nm以下であることを特徴とする請求項1に記載の半導体基板。

【請求項3】前記第1の単結晶薄膜の厚さが2nm以上で500nm以下であることを特徴とする請求項2に記載の半導体基板。

【請求項4】前記一のIII族窒化物半導体半導体基板は異種基板に前記対構造を1つ堆積したものであることを特徴とする請求項1乃至請求項3に記載の半導体基板。

【請求項5】前記異種基板の表面を構成する材料が、サファイア、6H-SiC、4H-SiC、3C-SiC、スピネル、SiおよびLiGaO₂からなる群より選ばれた一の材料よりなることを特徴とする請求項4に記載の半導体基板。

【請求項6】前記異種基板がサファイア単結晶で、その表面の面方位が{0001}、{10-12}、{11-20}あるいは{10-10}のいずれかである請求項5に記載の半導体基板。

【請求項7】請求項1の半導体基板を形成するための前駆体であって前記第1の単結晶薄膜がその表面の少なくとも一部分を形成する前駆半導体基板。

【請求項8】（イ）第1のIII族窒化物半導体の単結晶が表面の少なくとも一部分で露出する露出基板を用意する工程と、（ロ）第2のIII族窒化物半導体の単結晶の成長温度よりも低い温度で該第2のIII族窒化物半導体からなる低温堆積緩衝薄膜を前記露出基板上に所定の厚さに堆積する工程と、（ハ）前記低温堆積緩衝薄膜にエネルギーを賦与して賦活単結晶化させる工程と、（ニ）前記単結晶化した低温堆積緩衝薄膜に第3のIII族窒化物半導体の単結晶膜を成長させる工程と、を含む半導体基板の形成方法。

【請求項9】前記（ロ）～（ハ）の工程を前記III族窒化物半導体と同一のIII族窒化物半導体あるいは前記III族窒化物半導体とは異なるIII族窒化物半導体について所望の回数繰り返すことを特徴とする請求項8に記載の半導体基板の形成方法。

【請求項10】前記露出基板のIII族窒化物半導体単結晶は少なくとも1原子薄膜厚以上の薄膜であることを特徴とする請求項8あるいは請求項9に記載の半導体基板の形成方法。

【請求項11】前記露出基板は異種基板の表面の少なくとも一部分にIII族窒化物半導体単結晶が形成されたも

のである請求項8～請求項10のいずれかに記載の半導体基板の形成方法。

【請求項12】前記第2のIII族窒化物半導体の単結晶の成長温度よりも低い温度が常温から850℃の間の温度であることを特徴とする請求項8～請求項11の何れかに記載の半導体基板の形成方法。

【請求項13】前記第2のIII族窒化物半導体の単結晶の成長温度よりも低い温度が200℃から700℃の間の温度であることを特徴とする請求項12に記載の半導体基板の形成方法。

【請求項14】前記低温堆積緩衝薄膜の膜厚が、0.2nm～800nmの範囲内であることを特徴とする請求項8～請求項13の何れかに記載の半導体基板の形成方法。

【請求項15】前記（ロ）～（ニ）の工程を同一成長炉内で行うことを特徴とする請求項8あるいは請求項9に記載の半導体基板の形成方法。

【発明の詳細な説明】**【0001】**

【発明の技術分野】本発明は半導体素子の製造方法に関し、特にIII族窒化物半導体素子の形成に好適な低結晶欠陥密度を有する半導体基板とその形成方法とに関する。

【0002】なお、本明細書において、その注目表面（以下特記しないときは、表面は注目表面およびその部分である）に半導体素子を形成するための基板を下記のように細分している。III族窒化物半導体単結晶のみからなる基板を単結晶基板、注目表面の少なくとも一部でIII族窒化物半導体単結晶が露出しているものをIII族窒化物半導体露出基板（以下露出基板と略称）、特に注目表面の全面がIII族窒化物半導体単結晶であるものを全面露出基板と称し、注目表面の全面がIII族窒化物半導体以外である基板を異種基板と称する。また、全面露出基板には単結晶基板をも含めるものとします。異種基板の注目表面の一部あるいは全部にIII族窒化物半導体単結晶を堆積した基板をそれぞれ堆積異種基板あるいは全面堆積異種基板と称することもできるものとします。なお、全面露出基板、全面堆積異種基板はそれぞれ露出基板、堆積異種基板の部分集合であり、堆積異種基板は露出基板の部分集合である。また通常の基板とは異なり半導体回路素子が集積された集積回路の一部が上記表面を有する場合も本発明で言う基板に該当する。

【0003】

【従来の技術】短波長発光素子／受光素子やそれらと同一基板に集積できる単極／双極トランジスタ、各種ダイオード、受動素子の開発が活発におこなわれている。これらの各種素子はIII族窒化物半導体材料を用いて組立てられ、それら素子を含むシステムの性能向上にともなって、各種情報関連装置の情報処理能力の一層の向上と消費エネルギーの低減、高温動作などが期待されている。

【0004】従来、III族窒化物半導体単結晶を成長するための表面を備えた基板としてIII族窒化物半導体単結晶基板（全面露出基板に属する）や、サファイアやSiCなどの異種基板が用いられている。現在、直径数mm～1cm程度の大きさの表面を有するIII族窒化物半導体単結晶基板が得られているが、実用に供するには十分な大きさではない。サファイア或いはSiCなどの異種基板上に成長する場合、直接III族窒化物半導体単結晶を成長すると膜状単結晶の形成が容易でないため、低温堆積緩衝薄膜などを堆積し、その後単結晶を形成した（III族窒化物半導体単結晶）堆積異種基板を用いるのが一般的となっている。本明細書でいう「低温」とは「単結晶の成長温度より低い温度」をいい、多くの場合「単結晶の成長温度よりおおむね100℃以上低い温度」である。

【0005】III族窒化物半導体単結晶堆積異種基板では直径5cm程度の基板が得られ、該基板を用いて発光ダイオード、レーザーダイオード、電界効果トランジスタ（FET：単極トランジスタ）、フォトダイオードなどが実現されている。ところが、基板の結晶欠陥、特に貫通転位と呼ばれる欠陥が 1cm^2 当たり、 $10^7 \sim 10^{11}$ 程度発生し、製造された素子の性能向上を制限していた。そこで、貫通転位の減少を目的として、選択成長技術が開発された（例えばA. Usui, H. Sunakawa, A. Sakai and Yamaguchi, Jpn. J. Appl. Phys., 36 (1997) L899. 参照）。この従来技術では、サファイアなどの異種基板上にIII族窒化物半導体を低温堆積緩衝薄膜として堆積し、その後単結晶を形成したIII族窒化物半導体単結晶堆積異種基板の表面上に、 SiO_2 などの絶縁体薄膜を一部分形成し、絶縁体薄膜を形成していないIII族窒化物半導体単結晶表面部分より該III族窒化物半導体を選択成長させた。このようにして異種基板との界面より発生したIII族窒化物半導体単結晶薄膜内の貫通転位を絶縁体薄膜で制止し、その絶縁体薄膜上に結晶転位密度が $10^5 \sim 10^7 \text{cm}^{-2}$ 程度のIII族窒化物半導体単結晶膜を得て該III族窒化物半導体単結晶膜の表面を素子形成に用いる低結晶欠陥密度露出基板を得ている。

【0006】図1は上記方法で調整した全面露出基板上に形成した青紫レーザ10の断面の概略を示すものである。サファイア基板1の（0001）面上に堆積されたGaN緩衝薄膜2上に SiO_2 上のマスク・パターン4、5を形成し、GaN緩衝薄膜の貫通転位を制止する。さらに結晶成長をつづけてGaN緩衝薄膜3を形成し、マスク・パターン4、5上に良質のGaN単結晶膜を得ている。該緩衝薄膜3上に従来技術によりn型GaN薄膜とその他の薄膜、電極等を形成して青紫レーザ10を製造している（日経エレクトロニクス、p. 21、1997年10月20日号参照）。

【0007】

【発明が解決しようとする課題】しかしながら、絶縁体薄膜を形成するため一旦III族窒化物半導体の成長炉か

ら取り出す必要があり取扱が面倒で、品質のさらなる劣化や素子の価格が上昇するなどのプロセスおよび作業において改善すべき点がある。また、そのためもあり、絶縁薄膜等を介在させて形成された緩衝薄膜の機械的特性が劣化して剥がれやすい、などの問題もあった。さらに、緩衝薄膜の転位密度のさらなる低下によりより高性能な素子の形成の要望にこたえることがより一層望まれる。

【0008】

10 【課題を解決するための手段】そこで、本発明の発明者等は、III族窒化物半導体基板やサファイア等の異種基板上にIII族窒化物半導体を成長させ低温堆積緩衝薄膜の結晶化過程を透過電子顕微鏡などにより詳細に観察し、基板成長の機構を解明して本発明に至った。

【0009】すなわち、本発明では所望のIII族窒化物半導体を成長させるための単結晶基板や単結晶露出基板上に結晶化温度より低い温度でIII族窒化物半導体の薄膜を低温堆積した後、該薄膜にエネルギーを与え単結晶化（賦活単結晶化）している（このようにして形成された単結晶薄膜を低温堆積単結晶薄膜と呼ぶ）。つぎに、低温堆積単結晶薄膜を表面に備えた露出基板上にIII族窒化物半導体単結晶薄膜を単結晶成長させて改良された露出基板を得ている。低温堆積単結晶薄膜はその下面に接するIII族窒化物半導体の単結晶の貫通転位の多くを終端して転位の伝播を緩衝し、その上に単結晶成長した薄膜の結晶欠陥密度を下地のIII族窒化物半導体単結晶の結晶欠陥密度より小さなものとする。

【0010】本発明の方法では上記低温堆積と賦活単結晶化およびその上への単結晶成長からなる単位工程により単結晶化薄膜と単結晶成長薄膜とから成る対構造を得る。この単位工程を所望により修飾しつつさらにくりかえして同様な対構造を形成し露出部においてより結晶欠陥密度の低い露出基板を得ている。そして、好もしくは本発明の露出基板の製造においては途中で露出基板を成長炉から取り出したりしないで、あるいは回路素子形成に伴う不可欠な取り出しを伴って形成され、該取り出しに伴うその品質の劣化を防止あるいは低減あるいは極少化する。

【0011】

40 【発明の実施例】以下に示す本発明の実施例は、本発明の範囲を限定するためのものではなく、本発明の実施を希望する当業者がその実施を容易に行えるようにするためのものである。

【0012】工程の流れを示す図2と基板の断面をしめす図3を参照して本発明の好適実施例の一つについて説明する。本実施例では本発明の緩衝構造が含まれる緩衝基板が生産される。図2を参照するとまず異種基板であるサファイア基板31を用意しアセトン、メタノール等の有機溶剤で洗浄の後、サファイア基板31を有機金属化合物気相成長装置内加熱部に設置し、水素にて装置内

窒素を置換した（ステップ 201）。

【0013】しかる後、水素を導入したまま基板温度を 1,150℃に昇温して10分程度放置し基板表面の清浄化を行った（ステップ 202）。次に、基板温度を500℃まで降温し（ステップ 203）、アンモニア 3slm（slmは流量単位で、常温、1気圧換算で毎分 1000cm³である）及びトリメチルアルミニウム（TMAI）：（CH₃）₃Alを30μmol/min（毎分30μmol）で供給して、5分間第1低温堆積緩衝薄膜 32を堆積した（ステップ 204）。第1低温堆積緩衝薄膜 32の膜厚は30nmであった。

【0014】次にTMAIの供給を止め、基板を1乃至30分かけて1,050℃に昇温した。昇温過程で、第1低温堆積緩衝薄膜 32は基板付近から徐々に単結晶化し最終的に全体が単結晶化し低温堆積単結晶膜となった（ステップ 205）。次にトリメチルガリウム（TMGa）：（CH₃）₃Gaを30μmol/minで供給すると、単結晶化した第1低温堆積緩衝薄膜 32（AlN）上に第1単結晶GaN薄膜 33が所望の厚さに成長した（ステップ 206A）。直接サファイア基板 31上に成長させた場合と比較して、第1低温堆積緩衝薄膜 32を用いた場合の第1単結晶GaN薄膜 33の種々の品質は格段に優れており、この方法で製造した堆積異種基板を用いて青色LED（発光ダイオード）、緑色LEDなどが実用化し、また紫色LD（レーザ・ダイオード）やマイクロ波FET（電界効果トランジスタ）が実現した。

【0015】しかしながら、この工程までからなる方法で単結晶成長した第1単結晶GaN薄膜 33には10⁷～10¹¹cm²程度のナノパイプと呼ばれる貫通転位等の結晶欠陥が存在し、LDにおける内部損失の増大や性能劣化、寿命短縮などデバイス特性上の問題を生じていた。

【0016】本発明では、更に次の工程の変更と追加とをおこなって露出基板を製造した。即ち、第1低温堆積緩衝薄膜 32上に第1単結晶GaN薄膜 33を1mm程度成長させた後TMGaの供給を止め（ステップ 206B）、ついで基板温度を500℃まで降温した後にTMGaの供給を再開して、少なくともGaと窒素を含む薄膜 34を堆積する。これを第2低温堆積緩衝薄膜 34と呼ぶ。この第2低温堆積緩衝薄膜 34は堆積したままでは多結晶が混在する非晶質半導体であった（ステップ 207）。次にTMGaの供給を止め、基板温度を単結晶成長温度である1,050℃に昇温する過程で、第2低温堆積緩衝薄膜 34は単結晶化した（ステップ 208）。下地の第1単結晶GaN薄膜 33にあったナノパイプは殆どこの単結晶化第2低温堆積緩衝薄膜 34で終端した。

【0017】次に、この単結晶化第2低温堆積緩衝薄膜 34上にGaN薄膜を単結晶成長させると、成長した第2単結晶GaN薄膜 35はナノパイプ密度が殆ど零に近く結晶欠陥密度が第1単結晶GaN薄膜 33に比べかなり低く結晶欠陥低減効果がえられている。このようにして形成した露出基板は、従来技術の基板に比べ実用上ほとんど問題

ない特性を得ることが可能となった。第2低温堆積緩衝薄膜 34を堆積するステップ 207で、Gaと窒素にかえてAlと窒素を含むようにしても同様に低結晶欠陥密度の第2単結晶GaN薄膜 35を成長させることができる。

【0018】本発明の有用性を示すために図4、図5に従来の方法で製造された第1単結晶GaN薄膜 33と本発明により製造された第2単結晶GaN薄膜 35とのエッチピットの表面微分干渉顕微鏡による観察例を示す。観察のためのエッチングは、燐酸と硫酸を1：3の割合で混ぜ、250℃で10分間行った。第1単結晶GaN薄膜 33では図4に示すように、個数密度が10⁷～10¹¹cm²程度の多数のエッチピットが観察されたが、本発明のGaNでは図5に示すように全くエッチピットは観察されなかった。図5に点在する2個のエッチピットらしきものがあるが、写真撮影にともなう異物の映像であり、この異物を計数しても結晶欠陥密度（すなわちエッチピット密度）は10³cm²以下であり、実勢は10²cm²以下であると推測される。上記のように結晶欠陥密度が貫通転位密度に大きく依存するが、結晶欠陥密度がエッチピット密度により測定されるので、貫通転位だけでなく他の結晶欠陥もエッチピットの原因となっている可能性がある。さらに第2単結晶GaN薄膜 35のみに関係する原因で発生するエッチピットもあるので、結晶欠陥密度はそれらの全体の影響を受けて定まる。結晶欠陥密度がかなり低減される（数分の1以下）のであれば基板の使用において有効であり、大きく低減される（1/10～1/100以下）のであればさらに顕著な素子特性の向上が、また極端に低減される（1/1000～）のであれば回路様式の画期的変革が期待される。

【0019】低温堆積後単結晶化されるあるいは単結晶成長されるIII族窒化物半導体材料に関しては、GaNのほか、AlN、InN、BN、AlInN、GaInN、AlGaInN、BAlGaInN等から選択して、それら材料の組合わせかえて前記の方法で基板の製作を試みたが何れの場合も顕著な低ナノパイプ化、低欠陥密度化が確認された。従って、本発明で言うIII族窒化物半導体には少なくとも上記GaN、AlN、InN、BN、AlInN、GaInN、AlGaInN、BAlGaInN等が含まれるものとして解釈されなければならない。各材料は基板に形成される素子に依存したり、基板製造工程の難易やコスト等に依存して選択される。

【0020】従って図3に関連して形成される各薄膜は互いに異なるIII族窒化物半導体材料で形成されてもよく、また必要ならば、上記低温堆積緩衝薄膜を堆積して単結晶化しその上にIII族窒化物半導体単結晶薄膜を成長させる工程対を単位工程とし、該単位工程をさらに繰り返すことに何等支障はない。単位工程間でIII族窒化物半導体材料の違いや寸法の違いそれらに伴う工程パラメータの適宜の調整が行われてよい。

【0021】そこで図6に本発明の特徴を良く表わす一

一般的な基板構造の要部を示し説明する。図6に示す要部構造60は、一のIII族窒化物半導体露出基板上に露出するIII族窒化物半導体単結晶61の表面に、順次形成した第1、第2のIII族窒化物半導体単結晶薄膜（以下単結晶薄膜と称する）63、65からなる対構造を1つあるいは複数堆積した構造である。第1の単結晶薄膜63が結晶欠陥密度緩衝薄膜として機能し、第2の単結晶薄膜65の結晶欠陥密度が前記一のIII族窒化物半導体露出基板表面に露出するIII族窒化物半導体単結晶61の結晶欠陥密度よりかなり低くなる結晶欠陥低減効果がえられる。第2の単結晶薄膜65を備えた基板を形成するための前駆体として第1の単結晶薄膜63まで堆積あるいは堆積・単結晶化した基板を準備しておき後続の工程に備えるのが便利なることもある。

【0022】基板の製造方法は、上記図2の例では有機金属化合物気相成長法を用いたが、そのほか、分子線エピタキシー法およびハロゲン気相成長（HVPE）法、レーザーアブレーション法で同様の効果が確認された。HVPE法により作製した厚膜GaN基板に単位工程を実施して形成した露出基板においても同様の結晶欠陥効果がたしかめられた。大きな基板を得るために有効である。

【0023】異種基板に関しては、サファイア基板を用いて表面を（0001）面のほか、（10-12）面、（11-20）面、（10-10）面などを試みたが、何れも効果があった。（なお面指数の表記において上バーを有する慣用表記にかえて”-”を前置する表記としている。）。更に6H-SiC、4H-SiC、3C-SiC、スピネル（ $MgAl_2O_4$ ）、Si、 $LiGaO_2$ の何れの異種基板を用いても図2に関連して得られたと同様の欠陥密度低減効果を確認した。この結果と、上述の他の結果とから、本発明で言う異種基板には少なくとも上記サファイア、6H-SiC、4H-SiC、3C-SiC、スピネル（ $MgAl_2O_4$ ）、Si、 $LiGaO_2$ 等が包含されると解釈されなければならない。

【0024】しかも、図2、図3において第2低温堆積緩衝薄膜34の形成のための下地基板表面33は、全てII族窒化物半導体単結晶が露出している必要はなく、絶縁膜或いは高融点金属で覆われた表面の一部分にIII族窒化物半導体が露出していればよいことが分かった。従って本発明をさらに明確に理解するため本発明の基板の要部を図6に関連して示せば図7に示すとおりである。図6におけると同等の機能を有する薄膜部分には同一参照番号を付してある。

【0025】図7において、要部構造70は、一のIII族窒化物半導体露出基板上に露出するIII族窒化物半導体単結晶61の表面に第1、第2のIII族窒化物半導体単結晶薄膜（以下単結晶薄膜と称する）63、65を順次堆積して形成した対構造を1つ堆積して形成したものである。図6の場合と異なり、露出するIII族窒化物半導体単結晶61の表面は絶縁膜或いは高融点金属からなる異種材料部分62を有する。第1の単結晶薄膜63が結晶

欠陥密度緩衝薄膜として機能し、第2の単結晶薄膜65の結晶欠陥密度はIII族窒化物半導体単結晶61の結晶欠陥密度よりかなり低くなって結晶欠陥密度低減効果が得られている。なお、第1のIII族窒化物半導体単結晶薄膜63は低温堆積されたのち昇温されるにつれIII族窒化物半導体単結晶61近傍より単結晶化し上方に単結晶化が進行するとともに、異種材料部分62の上方へも単結晶化が進行して、ついには第1のIII族窒化物半導体単結晶薄膜63全体が単結晶化する。なお、異種材料部分62を形成する等の最終素子や回路構成上不可欠な工程を経るため基板を現在使用中の成長装置外（炉外）に取り出すときは、その取り出し回数と時間を極少に成るようにする。

【0026】また、図2、図3の実施例の第2低温堆積緩衝薄膜34や図6、図7の第1の単結晶薄膜63等の低温堆積緩衝薄膜の膜厚は、1原子薄膜即ち0.2nmから効果が確認された。またこの膜厚が800nmを超えると低温堆積緩衝薄膜自身の多結晶化が高進し、その影響がその上部に成長する単結晶薄膜にもおよび、結晶欠陥密度の改善は見られなかった。結晶欠陥低減効果を効率よくかつ確実に得ようとすれば低温堆積緩衝薄膜の膜厚は2nmから500nmがこのましい。また、堆積温度は室温から850℃までが効果的であったが、おおむね200℃から700℃が効率的である。堆積時の温度が低いと非晶質半導体の割合が多く（多結晶半導体の割合が少なく）不規則性が大きく、堆積時の温度が低いと非晶質半導体の割合が少なく（多結晶半導体の割合が多く）いずれも昇温して単結晶化するのが困難となるためである。また、基板温度を200℃以上とするなど、高めにするときは成長装置の温度振幅を小さく抑えることができる有利な点もある。

【0027】本発明における単位工程の繰り返しは前述のように1回に限らない。回数を増やす毎に転位密度は低減した。即ち、第2、第3の単位工程も結晶欠陥密度の低減に有効であった。従って、所望の結晶欠陥密度に応じて回数を必要最低限に選ぶことができる。また、前記第2低温堆積緩衝薄膜を堆積するためのIII族窒化物半導体単結晶薄膜の膜厚は一原子薄膜厚以上が必要で一原子薄膜厚以上であればよい。

【0028】更に、図3を参照して、第1低温堆積緩衝薄膜32を昇温して単結晶化したあと、第1単結晶GaN薄膜33を全く成長させずに降温してIII族窒化物半導体の第2低温堆積緩衝薄膜34を堆積し昇温単結晶化した場合、単結晶化第2単結晶GaN薄膜35の結晶品質は劣悪であり実用に供せる結晶欠陥密度低減効果はえられなかった。本発明では、第1単結晶GaN薄膜33を成長させて高品質な基板を得ている。この性質は他のIII族窒化物半導体材料の場合も同様であり、本発明では、堆積・単結晶化薄膜と成長単結晶薄膜を交互に形成して結晶欠陥低減効果を得ているわけである。単結晶と堆積・単結

晶化薄膜と単結晶成長薄膜にくみあわせにより有効な結晶欠陥密度低減効果が得られている。

【0029】低温堆積緩衝薄膜の単結晶化は、基板加熱ホルダーの昇温のみならず、炭酸ガスレーザー照射による昇温、エキシマーレーザー照射あるいは電子線照射によっても、それらの組み合わせでもよく、本発明で言う賦活にはそれらの何れの方法によるエネルギー賦与も包含されると解されなければならない。

【0030】図8は本発明の一実施例の基板を用いて図1に示すと様な青紫レーザ80を構成した場合のレーザの断面を示す。サファイア基板81上に単結晶化第1低温堆積緩衝薄膜82、第1成長単結晶薄膜83、該第1成長単結晶薄膜83上に形成された絶縁膜あるいは高融点金属ストリップ84、第1成長単結晶薄膜83と任意選択的絶縁膜あるいは高融点金属ストリップ84との上に堆積され結晶化された第2低温堆積緩衝薄膜85、第2成長単結晶薄膜86が順次形成され本発明の堆積異種基板が与えられる。その堆積異種基板上に従来技術によりn型GaN薄膜とその他の薄膜、電極等を形成して青紫レーザ80を製造している。なお、クラッド層が図1とは異なり超格子構造ではないが超格子構造であってもよい。

【0031】つぎに、本発明を実施した基板を使用して更に種々の素子を組立てると、従来技術のみにより形成した基板を用いた場合に比較しつぎのような効果が得られる。

(イ) 本発明を実施してAlGaIn/GaN変調ドープ電界効果トランジスタを試作した結果、ゲート長0.25mmのFETにおいて遷移周波数 f_{max} が100GHz以上で増大した。

(ロ) 本発明を実施してリッジ導波LDを試作し、連続発振が実現し内部損失の大幅な減少を得た。

(ハ) 本発明を実施してpn接合型PD（光検出ダイオード）を試作したところ暗電流の減少と増幅度の向上を記録した。

(ニ) 本発明を実施してAlN/GaN半導体多薄膜反射膜を形成すると、クラックフリーでしかも波長400nmにて高い反射率を記録した。

(ホ) 本発明を実施してAlN/GaNサブバンド間遷移デバイスを組立てると、ウェル幅の違いにより波長1.5 μ m～2.0 μ mの第一励起準位と基底準位間の遷移を明瞭に観測した。従来は、クラックの発生を防止できなかった。

【0032】

【発明の効果】本発明の実施態様に依りて得られる可能性のある効果の一端を次にかかげる。

- ・結晶転位の大きさと密度の小さい基板により高性能素子が形成される。

- ・各種素子が容易に高性能で得られるので高性能基板でしか形成できなかった素子を含めより多くの素子が集積

可能となり、システムの小型化が達成できる。

- ・また各素子後との特別な微調整処理が不要で、処理コストが低、イールドも高いから廉価かつ短時間で所望の素子が得られる。

- ・イールドが高ければ余分な処理や材料消費が無く省資源効果が得られ、環境汚染の恐れも減る。

- ・本発明の基板の製造は従来のように炉からそれらを出し入れする必要はなくより高品質にしやすい。また、不可欠な工程を経るため基板を現在使用中の成長装置外（炉外）に取り出すとしても、その取り出し回数と時間を極少にできる。

- ・結晶転位密度を段階的に減少できるので、形成すべき素子に応じてその段階を選べるので品質とコストの按配をしやすい。

- ・結晶欠陥密度の低減が容易となったのでより広い面積で結晶欠陥が多い基板をつくりそれを低結晶欠陥密度化できるので大面積基板をえることができる。

【図面の簡単な説明】

【図1】従来技術により形成した基板上に組立てられた青紫レーザの概略断面図である。

【図2】III族窒化物半導体単結晶薄膜を有する露出基板を形成するための工程流図である。

【図3】本発明を実施して形成される基板の要部の概略断面図である。

【図4】従来の方法で製造された単結晶GaN薄膜のエッチピットの分布を表面微分干渉顕微鏡で観測した結果を示す図である。

【図5】本発明の方法で製造された単結晶GaN薄膜のエッチピットの分布を表面微分干渉顕微鏡で観測した結果を示す図である。

【図6】本発明の特徴を表わす一般的な基板構造の要部の概略断面図である。

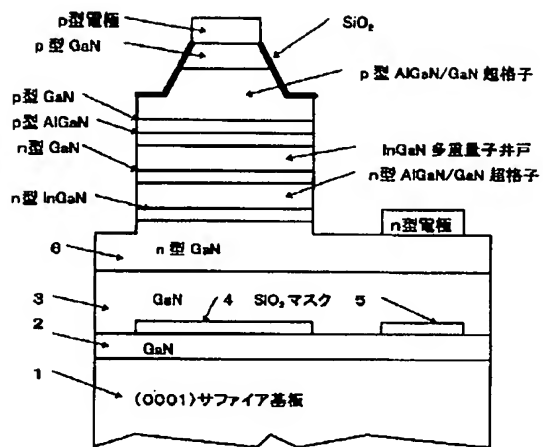
【図7】絶縁膜や高融点金属膜が存在する場合の本発明の基板の要部を図6に関連して示す基板の概略断面図である。

【図8】本発明を実施して形成した基板上に組立てられた青紫レーザの概略断面図である。

【符号の説明】

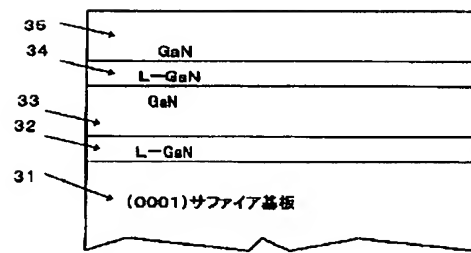
- 31 サファイア基板
- 32 第1低温堆積緩衝薄膜
- 33 第1単結晶GaN薄膜
- 34 第2低温堆積緩衝薄膜
- 35 第2単結晶GaN薄膜
- 61 III族窒化物半導体単結晶
- 62 異種材料部分
- 63 III族窒化物半導体単結晶薄膜
- 65 III族窒化物半導体単結晶薄膜

【図1】



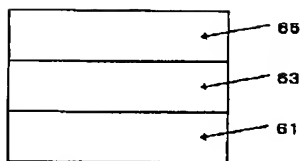
10

【図3】



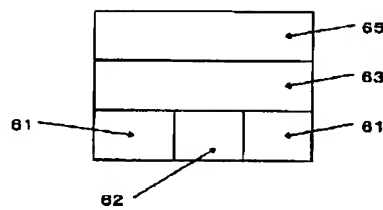
30

【図6】



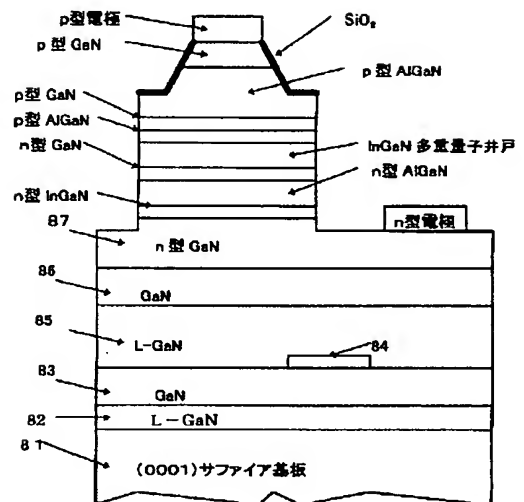
60

【図7】



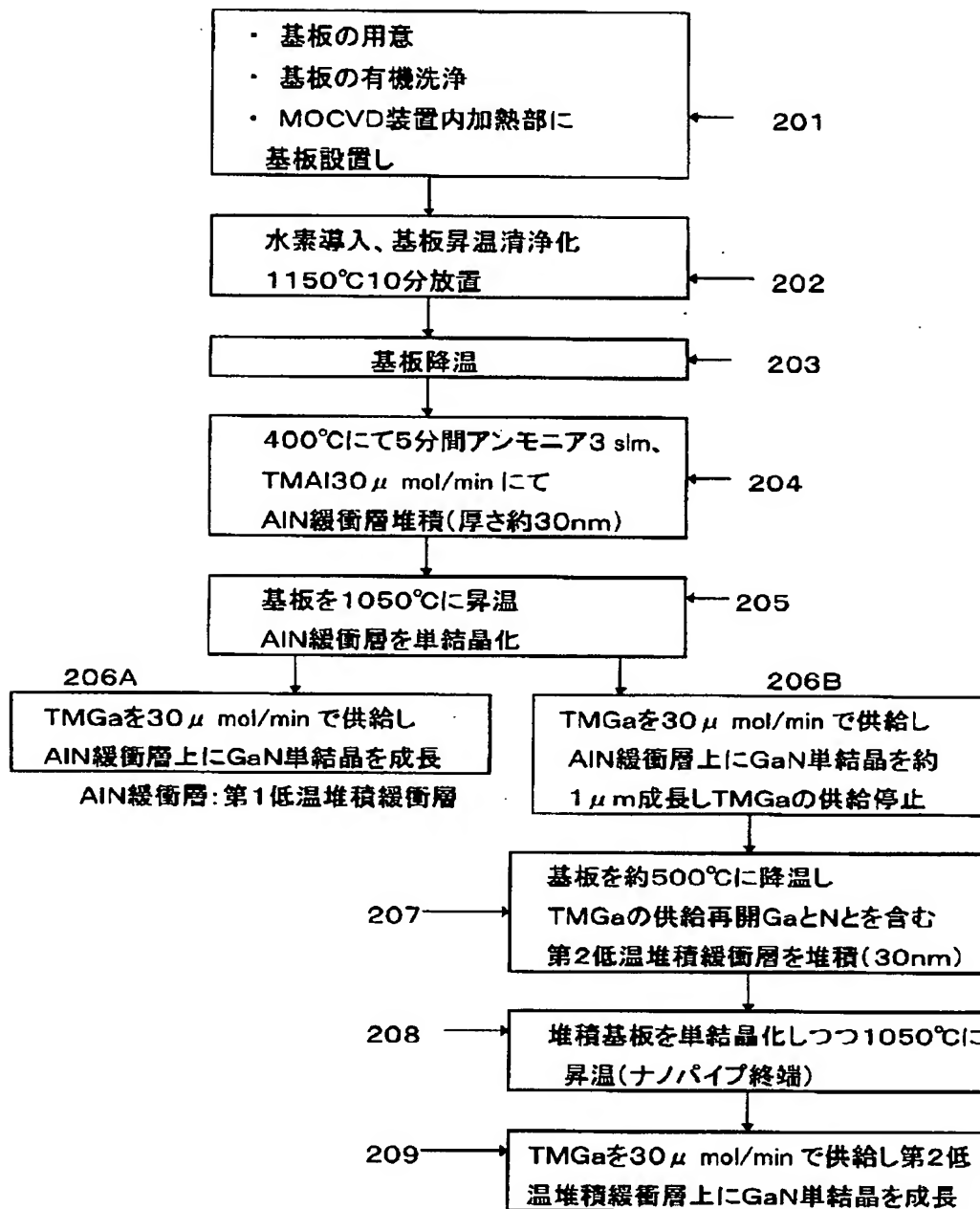
70

【図8】

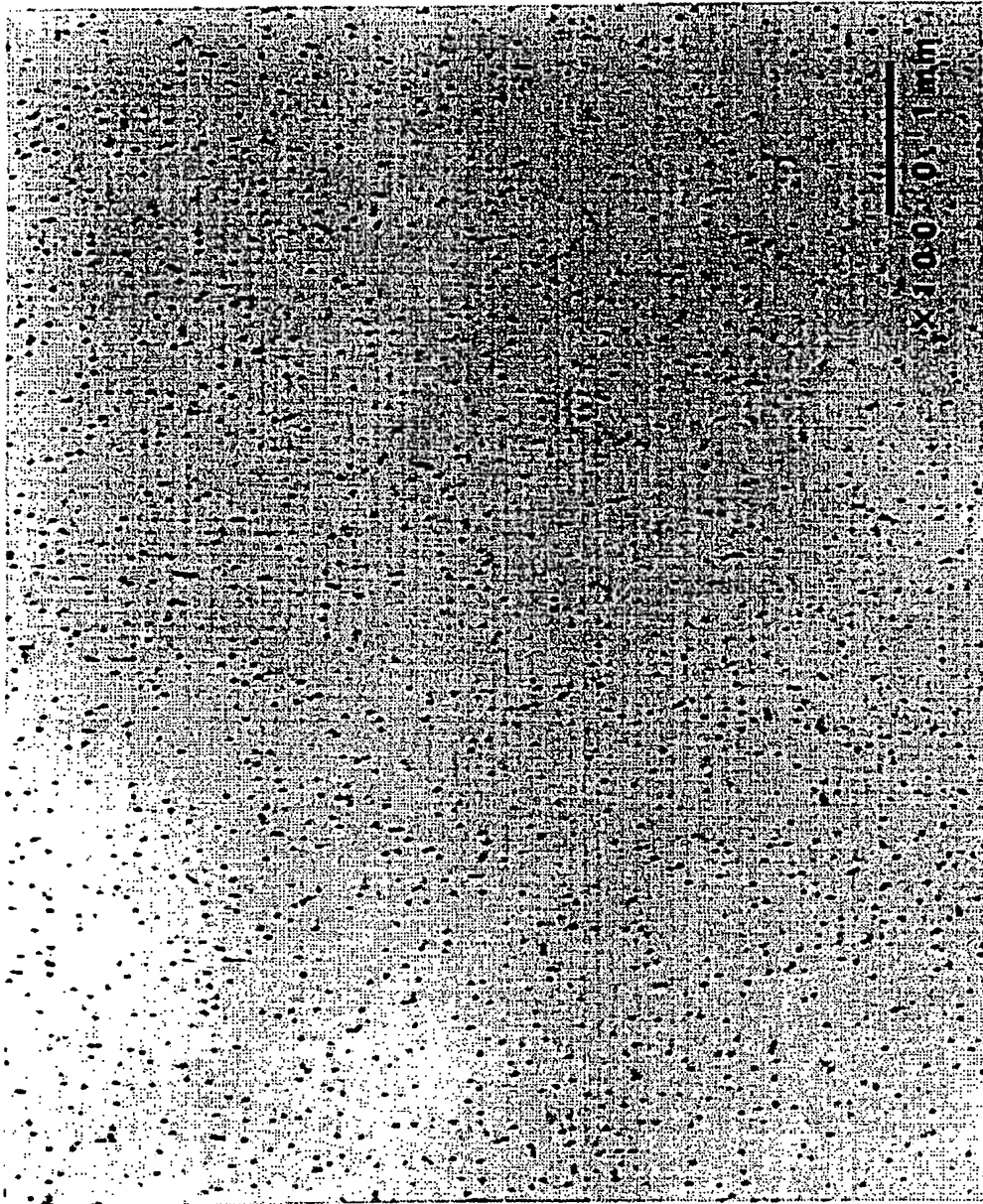


80

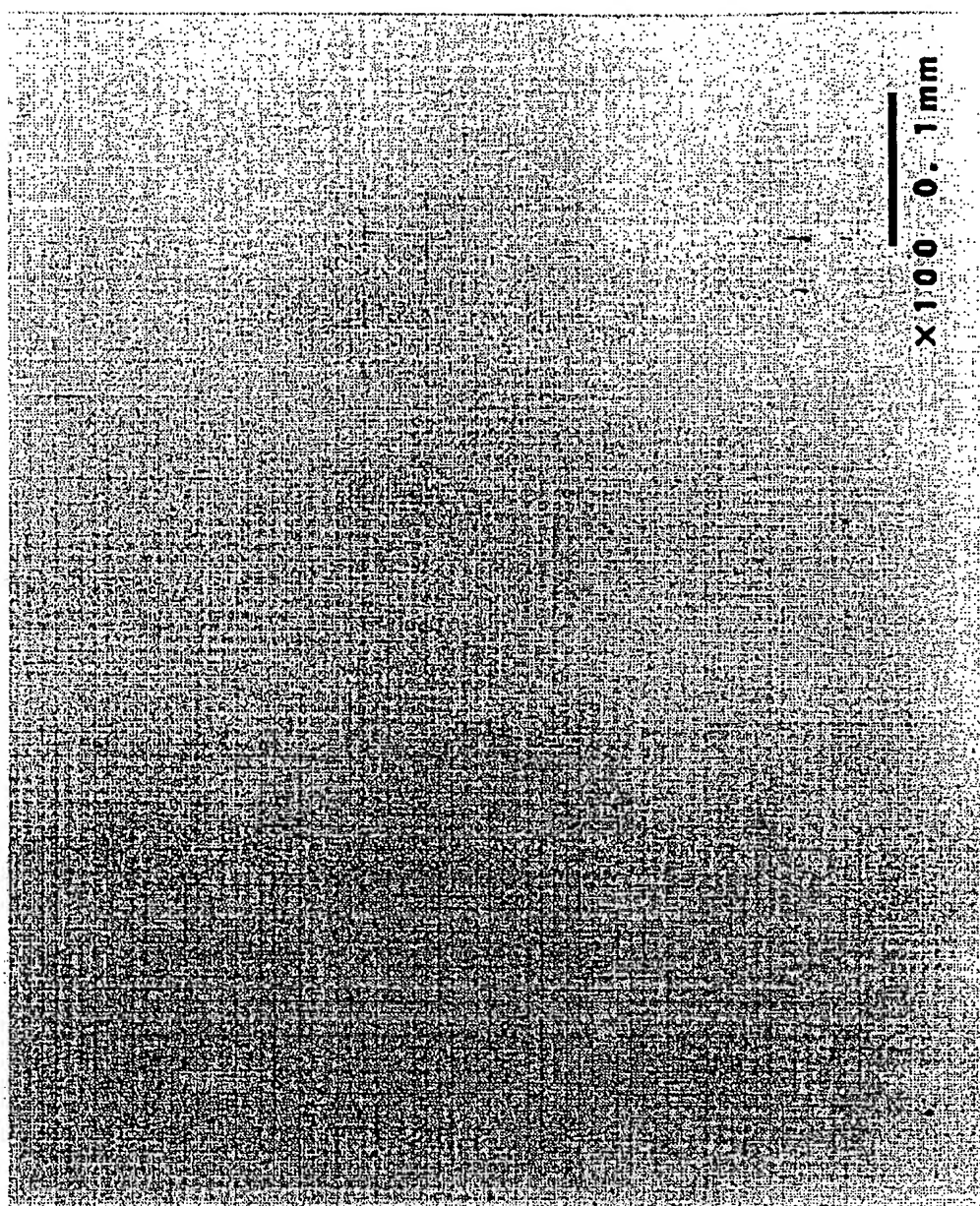
【図2】



【図 4】



【図 5】



フロントページの続き

(72) 発明者 赤▲崎▼ 勇
愛知県名古屋市西区浄心 1 丁目 1 番 38-
805 号